

Semiconductor device and method for manufacturing the same

Patent number: CN1109212
Publication date: 1995-09-27
Inventor: TAKEMURA YASUHIKO (JP)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
Classification:
- **International:** G02F1/136; G02F1/1368; H01L21/20; H01L21/265;
H01L21/336; H01L21/84; H01L27/12; H01L29/78;
H01L29/786; G02F1/13; H01L21/02; H01L21/70;
H01L27/12; H01L29/66; (IPC1-7): H01L21/00
- **European:** H01L21/77T; H01L27/12; H01L29/786E4C2
Application number: CN19941017333 19940827
Priority number(s): JP19930235461 19930827

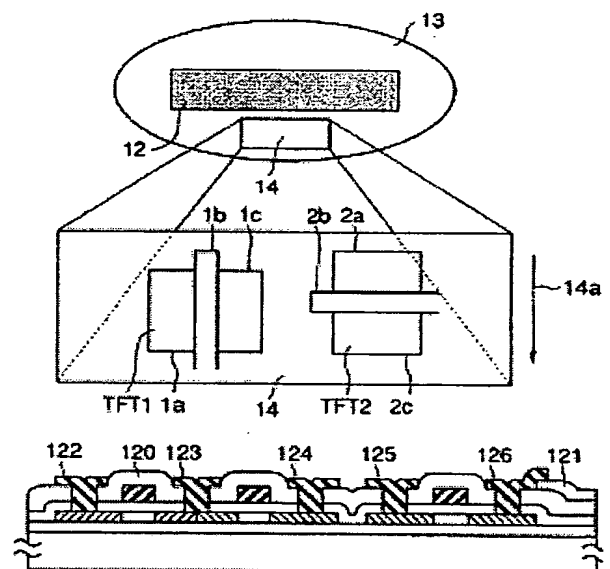
Also published as:

US5534716 (A)
JP7066425 (A)

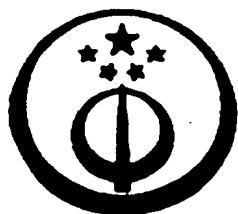
Report a data error he

Abstract not available for CN1109212
Abstract of correspondent: **US5534716**

A silicon film is crystallized in a predetermined direction by selectively adding a metal element having a catalytic action for crystallizing an amorphous silicon and annealing. In manufacturing TFT using the crystallized silicon film, TFT provided such that the crystallization direction is roughly parallel to a current-flow between a source and a drain, and TFT provided such that the crystallization direction is roughly vertical to a current-flow between a source and a drain are manufactured. Therefore, TFT capable of conducting a high speed operation and TFT having a low leak current are formed on the same substrate.



Data supplied from the esp@cenet database - Worldwide



[12] 发明专利申请公开说明书

[21]申请号 94117333.X

[51]Int.Cl⁶

H01L 21/00

[43]公开日 1995 年 9 月 27 日

[22]申请日 94.8.27

[30]优先权

[32]93.8.27 [33]JP[31]235461 / 93

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72]发明人 竹村保彦

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 萧均昌 张志醒

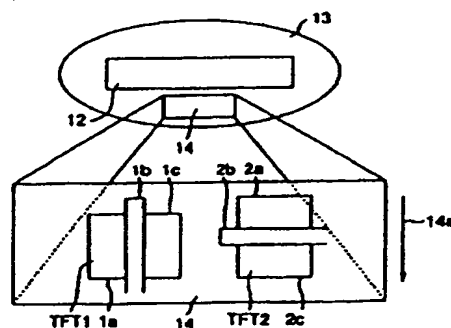
说明书页数:

附图页数:

[54]发明名称 半导体器件及其制造方法

[57]摘要

通过选择加入对晶化非晶硅和退火有催化作用的金属元素,在预定方向晶化硅膜。在制造 TFT 过程中,利用晶化硅膜,如此提供 TFT 以致于晶化方向大致平行于源和漏之间的电流方向,以及如此提供 TFT 以致于晶化方向大致垂直于源和漏之间的电流方向。因此,在同一衬底上面,形成能够进行高速工作的 TFT 和具有低漏电流的 TFT。



1. 一种半导体器件包括:

一个衬底,

在衬底上形成多个薄膜晶体管, 其中每个薄膜晶体管有一个在平行于衬底方向进行晶体生长的结晶硅区和覆盖结晶硅区的二氧化硅层;

其中至少薄膜晶体管之一具有在载流子移动方向和晶体生长方向之间形成的第1角, 至少薄膜晶体管之另一个具有第2个角, 该角不同于在载流子移动方向和晶体生长方向之间形成的第1角。

2. 一种用于有外围电路部分和象素部分的有源矩阵型液晶显示器的半导体器件包括;

一个衬底;

在衬底上形成的多个薄膜晶体管, 其中每个薄膜晶体管有一个在平行于衬底方向进行晶体生长的结晶区和覆盖结晶硅区的二氧化硅层;

其中至少在外围电路部分提供一个薄膜晶体管和 在象素部分提供另外一个薄膜晶体管,

其中在外围电路部提供的薄膜晶体管有在载流子移动方向和晶体生长方向之间形成的第1角, 在象素部分提供的薄膜晶体管有第2个角, 该角不同于在载流子移动方向和晶体生长方向之间形成的第1角。

3. 根据权利要求1的器件, 其中第1角近似于 0° 而第2角近似

于 90° 。

4. 根据权利要求2的器件，其中第1角是近似于 0° 而第2角是近似于 90° 。

5. 一种制造半导体器件的方法，包括下述步骤：

在衬底上形成非晶的硅膜；

在形成硅膜之前或之后；制备一种促进晶化的元素，以便把元素引入硅膜区；

晶化硅膜，其中硅膜是从其晶体生长方向平行于衬底的区域进行生长的；

氧化硅膜，在硅膜上形成氧化硅层；

利用硅膜形成多个薄膜晶体管，

其中，至少薄膜晶体管之一具有载流子方向和晶体生长方向形成的第1角，至少薄膜晶体管的另一个有第2角，该角不同于载流子移动方向和晶体生长方向之间形成的第1角。

6. 一种制造半导体器件的方法，用于有外围电路部分和象素部分的有源矩阵型液晶显示器，包括下列步骤：

在衬底上形成非晶的硅膜：

在形成硅膜之前或之后，制备一种促进晶化的元素，以便把元素引进硅膜区；

晶化硅膜，其中硅膜是从其晶体生长方向平行于衬底的区域生长晶体的；

氧化硅膜，在硅膜上形成氧化硅；

利用氧化硅膜形成多个薄膜晶体管，

其中至少提供一个薄膜晶体管作为外围电路部分，并且有一

个在载流子移动方向和晶体生长方向之间形成的第1角，至少提供另一个薄膜晶体管作为象素部分，并且有第2个角，该角不同于在载流子移动方向和晶体生长方向之间形成的第1角。

7. 根据权利要求5的方法，其中第1角近似于 0° ，而第2角近似于 90° 。

8. 根据权利要求6的方法，其中第1角近似于 0° ，第2角近似于 90° 。

9. 根据权利要求5的方法，其中元素包含Ni, Cu, Pd和Pt中的一种元素。

10. 根据权利要求6的方法，其中元素包含Ni, Cu, Pd和Pt中的一种元素。

11. 根据权利要求5的方法，还包括在所要求的时期内加热晶化了硅膜的步骤。

12. 根据权利要求6的方法，还包括在所要求的时期内加热晶化了硅膜的步骤。

13. 根据权利要求11的方法，其中，利用快速热退火的方法进行加热步骤。

14. 根据权利要求12的方法，其中，采用快速热退火的方法，进行加热步骤。

15. 根据权利要求13的方法，其中，在快速热退火方法中使用的光，包括红外光，波长为0.6到 $4\mu\text{m}$ 。

16. 根据权利要求14的方法，其中，在快速热退火的方法中使用的光包括红外光，波长为0.6到 $4\mu\text{m}$ 。

17. 根据权利要求1的器件，其中，每个薄膜晶体管还有在氧

化硅层上形成栅电极。

18. 根据权利要求17的一种器件，其中，使用结晶区作为有源层，利用氧化硅层作为栅绝缘层。

19. 根据权利要求2的器件，其中每个薄膜晶体管还有在氧化硅层上面形成的栅电极。

20. 根据权利要求19的器件，其中，使用结晶硅区作为有源层，使用氧化硅层作为栅绝缘层。

21. 一种半导体器件包括：

一个衬底；

在衬底上形成多个薄膜晶体管，其中每个薄膜晶体管有在晶体生长方向进行晶体生长的结晶硅区和覆盖结晶硅区的氧化层；

其中至少一个薄膜晶体管有晶体生长方向与载流子移动方向相符合的结晶硅区，至少另外一种薄膜晶体管有不同于载流子移动方向的结晶硅区。

22. 一种制造半导体器件的方法，包括下列步骤：

在衬底上形成具有非晶的硅膜；

在形成硅膜前或后，制备促进晶化的元素，把该元素掺入硅膜区；

晶化硅膜，其中硅膜是从晶体生长方向的区域进行晶体生长；

氧化硅膜，以便在硅膜上形成氧化硅层；

利用硅膜形成多个薄膜晶体管；

其中，至少一种薄膜晶体管有其晶体生长方向与载流子移动方向相一致的晶体生长的硅膜，至少另一种薄膜晶体管有其晶体生长方向不同于载流子移动方向晶体生长的硅膜。

23. 一种半导体器件包括:

一块衬底; 以及

在衬底上形成多个薄膜晶体管, 其中每个薄膜晶体管有其晶体生长方向平行于衬底的晶体生长的结晶硅区, 和覆盖晶体硅区的氧化硅层,

其中, 至少一种薄膜晶体管具有在载流子移动方向和晶体生长方向之间形成的第1角, 至少另一种薄膜晶体管具有不同于在载流子移动方向和晶体生长方向之间形成的第1角的第2角, 以及

其中, 结晶硅区包括促进晶化的元素。

24. 一种半导体器件包括:

一个衬底; 以及

在衬底上面形成的多个薄膜晶体管, 其中每个薄膜晶体管都具有其晶体生长方向平行于衬底的晶体生长的结晶硅区, 和覆盖结晶硅区的氧化硅层, 其中, 至少一种薄膜晶体管具有载流子移动方向和晶体生长方向之间形成的第1角, 至少另一种薄膜晶体管具有第2角, 该角不同于在载流子移动方向和晶体生长方向之间形成的第1角,

其中, 结晶硅区包括促进晶化的元素, 结晶硅区包括的元素浓度是 1×10^{17} 到 1×10^{20} 原子/cm³。

25. 根据权利要求1的器件, 其中衬底包括Corning7059。

26. 一种半导体器件包括:

一种衬底; 以及

在衬底上形成的多个薄膜晶体管, 其中每个薄膜晶体管都具有在平行于衬底的结晶方向进行晶体生长的结晶硅区, 和覆盖结

晶硅区的氧化硅层，

其中，至少一种薄膜晶体管具有在载流子移动方向和晶体生长方向之间形成的第1角，至少另一种薄膜晶体管有第2角，该角不同于在载流子移动方向和晶体生长方向之间形成的第1角，

其中结晶硅区包括镍。

27. 根据权利要求23的器件，其中第1角是近似于 0° ，第2角是近似于 90° 。

28. 根据权利要求24的器件，其中第1角是近似于 0° ，第2角是近似于 90° 。

29. 根据权利要求26的器件，其中第1角是近似于 0° ，第2角是近似于 90° 。

30. 一种制造半导体器件的方法，包括下述步骤：

在衬底上形成含有非晶的硅膜；

在形成硅膜前或后，制备促进晶化的元素，把元素掺入到硅膜区中；

晶化硅膜，其中的硅膜是从平行于衬底的结晶体方向的区域进行晶体生长的硅膜，以便获得晶体生长区；

氧化硅膜，在硅膜上面形成氧化硅区；以及

利用硅膜形成多个薄膜晶体管，

其中，至少一种薄膜晶体管具有在载流子移动方向和晶体生长方向之间形成的第1角，至少另一种薄膜晶体管具有第2角，该角不同于载流子运动方向和晶体生长方向之间形成的第1角，以及

其中，晶体生长区包含元素，并且晶体生长区包括元素的浓度是 1×10^{17} 到 1×10^{20} 原子/ cm^3 。

31. 根据权利要求30的方法, 其中第1角是近似于 0° , 第2角是近似于 90° 。

32. 一种制造半导体器件的方法, 该器件用于有源矩阵液晶显示器、该显示器有外围电路部分和象素部分, 包括下述步骤:

在衬底上形成具有非晶的硅膜;

在形成硅膜前或后, 制备促进晶化的元素, 以便把该元素掺入硅膜区;

晶化硅膜, 其中硅膜是从晶体生长方向的区域进行晶体生长的;

氧化硅膜, 以便在硅膜上面形成氧化硅层; 以及

利用硅膜形成多个薄膜晶体管,

其中至少一个薄膜晶体管有其晶体生长方向与载流子移动方向相一致的晶体生长的硅膜, 至少另一个薄膜晶体管有其晶体生长方向不同于载流子移动方向的晶体生长的硅膜。

33. 一种制造半导体器件的方法, 包括下列步骤:

在衬底上形成具有非晶的硅膜;

在形成硅膜之前或之后, 制备镍, 以便把镍掺入硅膜区;

晶化硅膜, 其中, 硅膜是从其晶体生长方向平行于衬底区域生长的硅膜, 以便获得晶体生长区,

氧化硅膜, 在硅膜上面形成氧化硅层; 以及

利用硅膜, 形成多个薄膜晶体管,

其中, 至少一个薄膜晶体管具有载流子移动方向和晶体生长方向之间形成的第1角, 至少另一个薄膜晶体管具有第2角, 该角不同于载流子移动方向和晶体生长方向之间形成的第1角。

34. 根据权利要求33的方法, 其中, 晶体生长区包括镍, 并且在晶体生长区包含的镍浓度是 1×10^{17} 到 1×10^{20} 原子/ cm^3 。

35. 根据权利要求26的器件, 其中结晶硅区包含的镍浓度是 1×10^{17} 到 1×10^{20} 原子/ cm^3 。

半导体器件及其制造方法

本发明涉及利用薄膜晶体管(TFT)的一种半导体器件,该薄膜晶体管设置在象玻璃板那样的绝缘衬底上,更具体地说,涉及有源短阵型液晶显示装置或者类似的矩阵电路中可能利用的半导体器件。

利用TFT驱动象素的有源矩阵型液晶显示装置、图象传感器、三维集成电路等等都是公知的作为具有在象玻璃板那样的绝缘衬底上设置TFT的半导体器件。

通常,利用薄膜硅半导体作为设置在那种器件上的TFT。特别是为了高速工作,急需确立一种制造TFT的方法,而TFT由晶体硅半导体构成。通过形成非晶半导体膜并对其加热能(热处理)产生结晶的方法就是众所周知的获得上述晶体薄膜硅半导体的方法。

利用这样形成的晶体硅膜制造半导体电路存在一些问题。例如,由TFT(单片型有源矩阵电路)构成的电路,即不仅矩阵电路而且也是驱动它的外围电路,被认为是用在液晶显示装置中的有源矩阵型电路(即在每个象素中设置的控制晶体管的电路)。

这种复杂的电路,特性要求随电路的位置而改变TFT性能。例如,为了保持由象素电极和相对电极构成的电容器存储的电荷,要求用于控制有源矩阵电路的象素的TFT有充分小的漏电。但是,电流驱动能力可以不必很高。

另一方面，在用于把信号加到矩阵电路的驱动电路中的TFT，需要短时间开断大电流，就要求该TFT有大电流驱动能力。但是漏电流可以不必很低。

有高驱动电流能力和低漏电流的TFT是最希望的。然而现在制造的TFT与理想的TFT相距太远，如果驱动电流能力是高的，漏电流也大，如果漏电流低，驱动电流能力也低。

因此，利用常规TFT构成的单片型有源矩阵电路企图通过改变TFT的沟道长度或沟道宽度来改善电流驱动能力和减少漏电流。然而，如果电路变细，按常规使用的按比例变化就受到限制。

例如，为了获得高驱动电流能力，需要增大沟道宽度。单片电路利用沟道宽度为500到1000 μm 的TFT。然而，如果由于增加象素的数量和等级需要较高驱动电流的能力，则难于从受限制的外围电路形成区进一步扩大沟道宽度到5mm、10mm或类似尺寸。

另一方面，希望通过增加电荷的保持能力，使用于控制象素的TFT获得清楚的图象质量。然而，考虑到象素区有几百 μm 的方形尺寸，为了减少漏电流，不可能把沟道长度增加到50 μm ，100 μm 和其它类似的尺寸。结果，由于矩阵的规模，象素的间距和数量在常规TFT单片型有源矩阵电路中大大地受到限制，有较好荧光屏能够获得较高质量图象的显示装置不能被制造出来。

上述问题，不仅产生在单片型有源矩阵而且也在其它半导体电路中。

本发明的一个目的是克服这些问题和进一步改善整个电路的特性。

本发明人已证实，某些金属元素能有效地促进非晶硅膜晶化。

促进晶化的元素是Ⅷ族元素，例如，Fe、Co、Ni、Ru、Rh、Pd、Os、Ir和Pt，第3周期(3d)元素，如，Sc、Ti、V、Cr、Mn、Cu和Zn，贵金属，例如，Au和Ag等等。在上述元素之中，Ni、Cu、Pd和Pt有大的晶化促进作用。由于这些金属元素加到非晶硅膜中，可以降低晶化温度，因此，可以缩短晶化所需的时间。

添加金属元素的方法包括形成上述金属膜和包含金属元素的薄膜的方法，该薄膜和非晶硅膜的上面或者下面接触。此外，还证实如果通过离子注入引入金属元素，也获得了基本上相同的作用。例如，证实了在添加 1×10^{15} 原子/cm³或更多的镍，就可能降低晶化温度。

添加金属元素数量的变化范围决定于金属元素的类型。如果使用镍，希望它的数量在 1×10^{17} 到 1×10^{20} 原子/cm³浓度范围。如果镍浓度大于 5×10^{20} 原子/cm³，局部会形成硅化镍，导致半导体特性变坏。此外，如果镍的浓度小于 1×10^{17} 原子/cm³，作为催化剂的作用减小。由于镍浓度的减小，半导体可靠性变高。

于是，显而易见，通过把特定的金属元素添加到硅膜中，就能促进晶化作用。此外，还证实由于选择地把这些金属元素添加到硅膜中，由已经添加了金属元素的区域选择地进行晶体生长，而且该晶体生长区延伸到它的周围。此外，根据更详细的观察，在加入这些金属元素的硅膜中，在沿衬底表面的方向，而不是沿衬底厚度的方向，生长针状晶体。

在已添加这些金属元素的硅膜中，晶体进行针状生长。它的宽度(长度)是硅膜厚度的大约0.5到3倍，而其横向(晶体侧向)生

长是小的。因此沿平行于晶体生长方向，形成晶粒边界。使用镍作为金属元素，晶体沿(111)方向生长。图1A到图1C表示晶体生长的一个例子。

图1A是一个顶视图，表示从选择地添加了金属元素的区域，晶体生长进行的状态。区域2是添加了金属元素的硅膜区，晶体生长从区域2延伸到周围。椭圆区3是沿横向方向晶体生长的区域。箭头表示晶体生长的方向。区域2外面的区域1是没有晶化的区域。

图1B是区域3的一部分，例如方形区4，的放大图。由图1B显而易见，晶粒边界6和7平行于硅膜5的晶体生长方向(B到C)。因此，晶粒边界在平行于晶体生长方向的横截面(面BC)是较少的，而在垂直于晶体生长方向的横截面(BA)，观察到很多晶粒边界。

如果其中所述的膜由热氧化方法进行氧化，可能使用的热氧化被包括在氧化气氛(氧、臭氧、氧化氮等等气氛)进行一般热退火的方法，以及高温短时间在氧化气氛中处理硅膜表面的方法，如由快速热退火(RTA)方法所表示的那样。

热氧化沿着非晶硅组分富集的晶界进行。因此如图1C所示，在与晶体生长方向垂直的面BA，使氧化硅层8和硅膜之间的界面显著地成波浪形状(不均匀)。然而，在与晶体生长方向平行的面BC，界面9是很平滑。

上述的差别大大地影响了电流在硅膜表面上的流动。即，由于界面9的不均匀性，阻止电流在BA方向流动。另一方面，电流在BC方向是很平滑的。因此，假定在控制电流流过表面的场效应晶体管中，源/漏电流的方向是BA方向，该电流如线11所示，由于沟道长度显著增加，减少了漏电流。另一方面，假定源/漏电流

方向是BC方向，因为没有势垒(晶粒边界之类)，电流如线10所示，而且晶体管的迁移率变大。特别是，和BC方向的漏电流相比，为了充分地减少BA方向的漏电流，希望热氧化膜的厚度是50Å°或者更大。

尤其，在结晶硅膜中存在非晶硅组分，因为在非晶硅组分中氧化速率大。在存在非晶硅的部分(主要在晶粒边界附近)形成的氧化膜是比其它部分厚。因此，硅氧化膜的不均匀性比栅绝缘膜厚度的不均匀性大得多，典型地，不均匀性是栅绝缘膜厚度的1%或者更大，电流在各方向的流动的不均匀性变得显著了。

通过氧化具有上述各向异性的结晶硅表面，适当地调整硅膜源/漏电流的方向，可以在同一衬底上形成具有显著不同的特性的晶体管，还可毗连形成该晶体管。实际的晶体管，只是热氧化膜有时达不到栅氧化膜的要求。因此，要通过常规的物理汽相淀积方法(PVD方法)或者化学汽相淀积方法(CVD方法)在该氧化膜上进一步形成绝缘膜。

如上所述，本发明的特征在于，(1)把促进非晶硅膜晶体生长的金属元素选择地添加入非晶硅膜中，(2)进行有方向性的晶体生长，(3)热氧化结晶硅膜，(4)如此设置TFT的有源层，以致于在源/漏电流方向和结晶方向之间形成一个角，该角为一个预定角 α 。而且，在同一衬底上制造每一个有不同角 α 的许多TFTS。

一般，在 $\alpha \approx 0$ (晶体生长方向近似地与源/漏电流方向(载流子移动方向)一致，或者晶体生长方向平行于源/漏电流方向)的情况和 $\alpha \approx 90^\circ$ 的情况(晶体生长方向近似地垂直于源/漏的电流方向)，利用两种TFT可以构成各种电路。

例如，有源矩阵液晶显示器，外围电路的TFT和象素部分的TFT的所需特性是不同的。即，要求形成外围电路驱动器的TFT有高的迁移率和流动大的导道电流。另一方面，在象素部分提供的TFT，迁移率可以不高，以便增大电荷保持能力，但它要求漏电流(截止电流)要小。

本发明利用结晶硅膜在平行于衬底的方向进行晶体生长。外围电路中利用的TFT，在平行于晶体生长方向的方向，形成源/漏区。在象素部分利用的TFT，在垂直于晶体生长方向的方向形成源/漏区。即，如此形成用于外围电路的TFT，以致于当载流子运动时，不受晶粒边界和硅膜/氧化硅膜界面不均匀性影响。而且，如此构成象素区的TFT，当载流子运动时，穿过晶粒边界。按这种结构，源和漏之间的电阻是大的，结果减小了漏电流(截止电流)。

进行热氧化，以便把非晶硅变成氧化硅，用缓冲氢氟酸等腐蚀氧化硅。除掉氧化硅，由此增加硅表面的不均匀程度。接着，再进行热氧化，可以进一步增加硅膜/氧化硅膜界面的不均匀度。因为非晶硅的氧化速度大约是结晶硅的2-3倍，所以又增加了不均匀性。结果，由于和晶体生长方向成一定角度，又增加了电流流动容易程度的差别。

由于利用载流子在源/漏之间流动和使源/漏方向(源漏之间连线所指的方向)平行于或垂直于晶体生长方向，所以，本发明可能获得所需特性的TFT。即，通过使载流子在平行于针状和柱状(平行于晶体生长方向的方向)晶体生长晶粒边界的方向运动，或者在垂直于针状或柱状晶体生长的晶粒边界的方向(垂直于晶体生长的方向)运动，获得了有高迁移率的TFT或者小截止电流的TFT。

利用与衬底表面平行的方向进行晶体生长的结晶硅膜构成TFT，通过沿晶体生长方向形成源/漏区，可以获得具有高迁移率的和不那么受晶粒边界和硅膜/硅氧化膜界面不均匀性影响的TFT。另外，通过在垂直于晶体生长方向的方向形成源/漏区，可能获得受晶粒边界和硅膜/氧化硅膜界面不均匀性影响，因而有小截止电流的TFT。通过相对于晶体生长方向，选择地确定在源/漏之间载流子的运动方向就可以制造上述的TFT。

图2表示在结晶硅区14制造两种TFT的实施例。区域14是椭圆结晶区13的一部分，通过把矩形区12扩大到其外围而得到。用箭头14a表示晶体生长方向。在区域14上面形成的TFTs是源/漏方向垂直于晶体生长方向的TFT₁，(源/漏区为1a和1c，沟道形成区为1b)和源/漏方向平行于晶体生长方向的TFT₂ (源/漏区为2a和2c，沟通形成区为2b)。TFT₁和TFT₂的典型特性如图3所示。TFT₁的导道电流和截止电流比TFT₂小。例如，TFT₁的截止电流一般是小于TFT₂的0.5-2数量级，此外，TFT₂的导通电流和迁移率一般比TFT₁大10%到30%。

因此，如果在单片型有源矩阵电路的象素晶体管中使用TFT₁，在外围电路驱动晶体管中使用TFT₂，则有源矩阵电路的特性从整体来看可能进一步被改善。

图1A到图1C 是表示从已添加金属元素区选择地进行晶体生长的状态的顶视图。

图2是表示在结晶硅区上面制造两种TFTs实施例的顶视图。

图3是表示如图2所示的TFTs典型特性的曲线图。

图4A到4F和图5A到5C 是表示按照本发明制造具有以互补形式

的有NTFT和PTFT的外围电路和在象素晶体管中使用NTFT 的电路的步骤的视图。

图6A到6F是表示按照本发明另一种制造步骤图。

图7A到7F是表示又一种按照本发明制造步骤图。

实施例1

按照本发明，具有以互补形式由NTFT和PTFT 构成的外围电路和在象素晶体管中使用NTFT的电路的制造步骤，如图4A到4F 和图5A到5C所示。

在衬底(Corning 7059)101上，通过溅射方法，形成氧化硅底膜102，厚度 2000\AA 。在形成底膜102之前和之后，以比形变温度为高的温度，对衬底101进行退火，然后，以 0.1 到 $1.0^{\circ}\text{C}/\text{分}$ 的速率使其逐渐地冷却到形变温度。结果，在后续的步骤，包括温度升高步骤(包括由紫外线照射和热退火的氧化步骤)，衬底的收缩变小，因此掩模容易配合。把衬底101在 620° 到 660°C 进行退火1至4小时，然后逐渐冷却，速率为 0.1 - $1.0^{\circ}\text{C}/\text{分}$ 、优选为 0.1 至 $0.3^{\circ}\text{C}/\text{分}$ 。当温度达到 450°C 到 590°C 时，从退火室取出衬底101。

采用等离子CVD方法，形成厚度为 300 到 800\AA 的非晶硅膜103。通过溅射方法，利用氧化硅，厚度 1000 到 3000\AA 、例如 2000\AA 为掩模104，形成厚度为 20 到 50\AA 的镍膜105。镍膜105可以不是连续的膜。

然后，在氮气气氛中，在 500 到 620°C ，例如， 550°C 热退火8小时，或者在 600°C 热退火4小时，使硅膜103晶化。在平行于衬底的方向，从镍膜105和硅膜103进行接触的区域开始进行晶体生长。在图4B中，区域106和107都是晶化区，区域108和109 都是非结晶

区，即非晶硅区。图5A是上面看上述的状态图。

把硅膜103刻成图形，以便形成岛状的有源层区110(互补型电路区)和111(象素晶体管区)，如图4C所示。在图5A中，位于椭圆中心的矩形区是一个直接引入(加入)镍的区域，也是一个存在高浓度镍的区域。高浓度镍区也存在晶体生长区106和107的末端(端部)。这些区镍的浓度大约比晶化区高一个数量级。

因此，需要有源层110、111，特别是沟道形成区设置在不具有浓度高镍的区域中。用各向异性反应离子腐蚀方法(RIE)在垂直方向腐蚀有源层区。有源层区镍浓度大约是 10^{17} 到 10^{20} 原子/ cm^3 。

用快速热退火方法氧化有源层区。特别是，在氧化气氛中，照射红外光30到180秒，该红外光峰值为0.6到 $4\mu\text{m}$ ，在本实施例中，为0.8到 $1.4\mu\text{m}$ ，以便在有源层110和111表面形成氧化硅薄膜112。此外，可以把0.1到10%的HCl加入到该气氛中。

采用卤素灯作为红外光的源，如此调整红外光的强度以致于作为监测器的单晶硅片的温度是900到 1200°C 。特别是，监测放入硅片内的热电偶温度，然后把监测到的温度反馈到控制红外线光源的装置。本实施例，温度上升率是50到 $200^\circ\text{C}/\text{sec}$ ，并且上升速率保持稳定不变，自然冷却，温度下降速率是20到 $100^\circ\text{C}/\text{sec}$ ，可在衬底保持在室温的条件下，进行照射红外光。为进一步增加此作用，最好先把衬底加热到 200°C 到 450°C ，例如，加热到 400°C 。

因为用红外光照射，选择地加热硅薄膜，可使对玻璃衬底加热减到最小。并且还很有效地减少硅膜中的缺陷和悬挂键。通过红外光照射形成的氧化硅112，厚度为50到 150\AA 。

采用溅射方法, 形成氧化硅膜113, 厚度为1000Å 作为栅绝缘膜(图4D)。利用氧化硅作为溅射的靶。溅射的衬底温度是200到400°C, 例如, 350°C。溅射气氛包含氧和氩, 而且氧/氩=0到0.5, 例如, 0.1或更小。

采用低压CVD方法形成硅膜(含磷0.1到2%), 厚度为3000 到8000Å, 例如, 6000Å。希望氧化硅膜113 的形成步骤和硅膜形成步骤连续地进行。通过使硅膜刻成图形, 形成栅电极114到116(图4E)。图5B是表示上述状态的顶视图。以虚线表示的椭圆相应于图6A中的区域106、107。

采用离子掺杂方法, 以栅电极114到116做为掩模, 把杂质(磷或者硼)掺(注入)入有源层中。利用磷烷(PH_3)和乙硼烷(B_2H_6)作为掺杂气体。如使用磷烷, 加速电压是60到90KV, 例如, 80KV, 如使用乙硼烷, 加速电压是40到80KV, 例如65KV。就磷来说剂量是 1×10^{15} 到 $8 \times 10^{15} \text{cm}^{-2}$, 例如 $2 \times 10^{15} \text{cm}^{-2}$, 就硼来说, 剂量是 $5 \times 10^{15} \text{cm}^{-2}$ 。掺杂时, 用光刻胶覆盖不需要掺杂区, 在要掺杂的区域选择地掺入相应的元素。结果, 形成N型杂质区118与119和P型杂质区。

通过激光照射进行退火, 并且激活杂质。使用KrF 激发物激光(波长为248nm, 脉冲宽度为20nsec)作为激光, 但是也可以利用其它激光。照射条件是, 能量密度是200到400mJ/cm²到 例如, 250mJ/cm², 每部分照射次数是2到10次, 例如, 2次。在激光照射时, 把衬底加热到大约200到450°C是有利的, 在激光退火步骤中, 因为镍分散在以前晶化区中, 通光激光照射容易进行再结晶。因此, 掺杂的P型导电的杂质区117和掺杂的N型导电的杂质区 118

和119容易被激活。

如图4F所示, 采用等离子CVD方法形成氧化硅膜120, 厚度为 6000\AA , 作为中间层绝缘材料。此外, 采用溅射方法, 形成ITO(氧化铟锡)膜, 厚度为 500\AA , 通过使ITO膜刻成图形, 形成像素电极121。在中间绝缘材料120内形成接触孔(开孔位置如图5C所示), 由金属材料例如为氮化钛和铝的多层膜形成TFTs的布线/电极122到126。最后在1atm的氢气氛下, 在 350°C 退火30分钟, 由此完成TFT电路和制造。

由图5B可见, 有源层110的源/漏方向平行于晶化方向, 而有源层111的源/漏方向垂直于晶化方向。结果, 在有源层110中形成的TFT有大的导通电流。另一方面, 在有源层111中形成的TFT有小的关断电流。在本实施例中, 虽然在相对邻近的位置形成具有不同特性的两种TFT, 但是就在有源矩阵电路中是可能在相互远离的位置形成上述的TFTs的。

实施例2

图6A到图6F是表示按照本发明的另一种制制步骤(剖面图)的视图。采用四乙氧基硅烷(TEOS)和氧作为原材料通过等离子CVD方法在衬底(Corning 7059)201上面形成氧化硅底膜202, 厚度为 2000\AA 。形成底膜202以后, 在 620 到 660°C 进行退火1到4小时。此后, 以 0.1 到 $1.0^{\circ}\text{C}/\text{min}$ 最好以 0.1 到 $0.3^{\circ}\text{C}/\text{min}$ 逐渐冷却衬底, 当温度达到 450 到 590°C 时, 从退火室中取出衬底。

采用等离子CVD方法, 形成非晶硅膜203, 厚度为 300 到 800\AA 。使用氧化硅作掩模, 厚度为 1000 到 3000\AA , 例如, 2000\AA , 由溅射

方法，形成镍膜205，厚度为20到50Å。但是镍膜可以不是连续的膜(图6A)。

然后，在500到620°C，例如，600°C 在氮气氛中进行热退火4小时，使硅膜203晶化。在平行于衬底的方向，从镍膜和硅膜接触的区域作为开始的位置。进行晶体生长，图6B中，区域206 和207是由此步骤晶化的区域，区域208和209是非晶硅区域。

接着，使硅膜203刻成图形，形成岛状有源层区210(互补型电路区)和211(象素晶体管区)。用对垂直方向有各向异性的RIE 方法，进行腐蚀有源层区。

然后，进行快速热退火(RTA)处理，进一步增加有源层的结晶度。具体地说，照射红外光30到180秒，所用红外光峰值在0.6到4.0 μm，本实施例为0.8-1.4 μm。可以把0.1到10%的HCl 加到气氛中。

使用卤素灯作为红外光的光源。调整红外光的强度，使作为监测器的单晶硅片的温度变成900到1200°C。更具体地说，监测埋入硅片热电偶的温度，再把监测到的温度反馈到控制红外光光源的装置。本实施例，温度上升速率是恒定的50到200°C/sec，温度下降的速率是自然冷却为20到100°/sec。可以把衬底保持在室温条件下进行红外光照射。为进一步增加此作用，把衬底预先加热到200到450°C，例如，400°C是有利的。

因为由红外光照射进行选择地加热硅膜，对玻璃板加热可能减到最少。此外，它会有效地减少在硅膜中的缺陷和非晶化区中的悬挂键。

在干氧气氛在550°C到650°，典型地为600°使衬底退火1小时。

还需要选择退火温度，不要影响衬底。结果，在有源层表面形成热氧化膜212，厚度为20到200 \AA ，典型地为40到100 \AA 。如果通过热分解氧化方法或类似的方法把硅片在含水的氧气气氛中，在550°C到650°C进行氧化，可以获得500到800 \AA 厚的氧化硅膜(图6C)。

利用TEOS和氧由等离子CVD方法，形成1000 \AA 厚的氧化硅膜作为栅绝缘膜。形成膜的衬底温度是200°C到400°C，例如，350°。每份TEOS加入1到50%，典型地为20%的三氯乙烯(TCE)。由TCE把氯引入栅绝缘膜，除掉有源层中包含的可动离子(例如钠离子)、由此进一步改善了特性。此后，在氯或者氧化二氯中在550°C到650°C进行热退火(图6D)。

由溅射方法形成铝膜(含钪(Sc)0.1-2%)，厚度为3000到8000 \AA ，例如，6000 \AA 。把铝膜刻成图形，形成栅电极214到216。把电流通过电解液中的栅电极进行阳极氧化，在栅电极的上面和侧面形成氧化铝膜，厚度为1000到3000 \AA ，在本实施例为2000 \AA 。在含酒石酸的1到5%的乙二醇溶液中进行阳极氧化。在后续离子注入步骤中，因用氧化铝膜作为偏移的栅区，所以偏移区的长度由阳极氧化步骤决定。

利用栅电极部分(即，栅电极和外围的氧化层)作为掩模由离子掺杂方法(等离子掺杂方法)以自对准方式把P型或N型导电杂质加入有源层区(源/漏区和沟道区)。把磷烷(PH_3)和乙硼烷(B_2H_6)作为掺杂气体。如使用磷烷，加速电压是60到90KV，例如，80KV，如使用硼烷，加速电压为40到80KV，例如，65KV。剂量是 1×10^{15} 到 $8 \times 10^{15} \text{cm}^{-2}$ ，例如，磷是 $5 \times 10^{15} \text{cm}^{-2}$ ，硼是 $2 \times 10^{15} \text{cm}^{-2}$ 。掺杂时，用光刻胶覆盖一个区域，而在其他区域内选择地掺入相

应的元素。结果，形成N型杂质区218和219，P型杂质区217，还可能形成P沟道型TFT(PTFT)区和N沟道型TFT(NTFT)区。

通过激光照射进行退火，以便激活注入的杂质离子。使用KrF激发物激光(波长248nm，脉冲宽度20nsec)作为激光，但是也可以使用其它激光。激光的照射条件是，能量密度是200到400mJ/cm²，例如，250mJ/cm²，而且每一部分照射的次数是2到10次，例如，2次。用激光照射，把衬底加热到大约200到450°C是有利的。在用激光退火的步骤中，由于在预先晶化的区域分散了镍，采用激光照射使再晶化容易进行。因此，容易激活杂质区217和219。可由RTA方法进行激活杂质代替激光退火步骤(图6E)。

由等离子CVD方法形成氧化硅膜220，厚度为6000Å，作为中间层绝缘材料。此外，由溅射方法，形成ITO膜，厚度为500Å，使其构图，形成像素电极226。而且在中间绝缘层材料220中形成接触孔，由金属化材料，例如，氮化钛和铝组成的多层膜，形成布线/电极221到225。最后，在1atm的氢气氛中进行退火，温度为350°，时间为30分，制成TFT电路(图6F)。

实施例3

图7A到7F是表示按照本发明另一种制造步骤(剖面图)的视图。如图7A所示，利用四乙氧基硅烷和氧化原材料由等离子CVD方法在衬底(Corning 7059)301上面形成氧化硅底膜302，厚度为2000Å。在形成底膜302后，在620到660°C把衬底301退火1到4小时。以0.1到1.0°C/分速率，优选速率是0.1到0.3°C/分，逐渐冷却衬底，当温度达到450到590°C时，从退火室中取出衬底。

利用等离子CVD方法形成非晶硅膜303, 厚度为300到1200Å, 例如, 1000Å。利用氧化硅掩模304, 厚度为1000到3000Å, 例如 2000Å, 由溅射的方法, 形成镍膜305, 厚度为20到50Å。该镍膜可以不是连续的膜。

在氮气氛中, 在500到620°C, 例如, 600°C进行热退火4小时, 使硅膜303晶化。在平行于衬底, 从镍和硅膜接触的区域, 作为开始的位置, 进行晶体生长。在图7B中, 区域306和307是由此步骤晶化的区域, 而且区域308和309是非晶硅区。

使硅膜303刻成图形, 形成岛状有源层区310(互补型电路区)和311(象素晶体管区)(图7C)。用对垂直方向各向异性的RIE方法进行有源层腐蚀。

把衬底放在含10%水汽的氧气氛中, 在550到650°, 典型地是600°C在1atm(大气压)经3到5小时, 由此, 氧化有源层的表面, 厚度为200到800Å, 典型为500Å, 由此形成氧化硅层312和313。热解的氧化方法(按体积比 氢: 氧=1.8到1.0:1)形成氧化硅层是有效地。形成的氧化硅层312和313的厚度为400到1600Å, 在本实施例如为1000Å。形成氧化硅层后, 在1atm的氧化二氮气氛中, 在600°C退火1小时, 由此去掉氧化硅层中的氢。

利用溅射方法, 形成铝膜(含0.1到2.1的铈), 厚度为3000 到8000Å, 例如, 6000Å, 把铝膜刻成图形, 形成栅电极314到316(图7D)。此外, 使电流通过电解液中的栅电极, 与实施例2的方法一样, 进行阳极氧化, 在栅电极上表面和侧表面, 形成氧化铝膜, 厚度为1000到3000Å, 在本实施例如为2000Å。

利用栅电极部分(栅电极和它周围的氧化层)作掩模, 由离子

掺杂方法(等离子掺杂方法),以自对准方式,把P型或N型导电杂质添加到有源层区(源)漏、沟道区)。利用磷烷(PH_3)和乙硼烷(B_2H_6)作为掺杂气体。当使用磷烷时,加速电压为60到90kv,例如,80KV,当使用乙硼烷时,加速电压是40到80KV,例如,65KV。剂量 1×10^{15} 到 $8 \times 10^{15} \text{cm}^{-2}$,例如,磷是 $5 \times 10^{15} \text{cm}^{-2}$,而硼是 $2 \times 10^{15} \text{cm}^{-2}$ 。在掺杂过程中,用光刻胶覆盖一个区域,在其它区域可以选择地掺入相应的元素。结果,形成N型杂质区318和319。P型杂质区317,由此,可以形成P沟道型TFT(PTFT)和N沟道型TFT(NTFT)的区域。

通过激光照射进行退火以便激活注入的杂质离子。采用KrF激发物激光(波长为248nm、脉冲宽度为20nsec)、但是也可以使用其它激光。激光照射条件是,能量密度是200到400mJ/ cm^2 ,例如,250mJ/ cm^2 ,每部分的照射次数是2到10次,例如,2次。在激光下照射,把衬底加热到温度大约200到450°C是有利的。在激光退火步骤中,由于在以前晶化了的区域中扩散了镍,通过激光照射,容易进行再晶化。因此容易晶化杂质区317和319。

采用等离子CVD方法,形成氧化硅涂覆的膜320。栅电极的侧表面有非常好的覆盖特性是重要的。膜320的厚度是0.5到1 μm ,例如,0.7 μm 。

利用象干腐蚀那样的方法,把绝缘涂覆膜320进行各向异性的腐蚀(只对垂直方向选择地腐蚀)。结果,露出源/漏区表面,近似三角形的绝缘材料321、322、323保持在相应栅电极的侧表面(包含周围的阳极氧化层)(图7E)。

由以前形成的氧化硅涂覆膜320的厚度、腐蚀条件、和栅电极

的高度(包含周围阳极氧化层)决定绝缘材料321到323的尺寸,特别是它的宽度。获得的绝缘材料的形状不限于三角形,根据台阶覆盖层或者氧化硅膜320的厚度而改变其形状。当膜320有小的厚度时,该绝缘材料是矩形。

采用溅射方法,形成钛膜324,厚度为5到50nm。也可以使用钼、钨、铂、钯等材料。

形成钛膜324以后,在200到650°C,优选为400到550°C进行退火,使源/漏区的钛膜和硅反应,由此在源/漏区形成硅化物层325、326和327。

腐蚀掉没有反应的钛膜(主要是氧化硅,或者淀积在阳极氧化层上的膜)。此外,采用CVD方法,形成6000Å厚的氧化硅层,作为中间绝缘层材料328。而且,采用溅射方法,淀积ITO膜,厚度为500到10000Å,把它构图、形成像素电极329。如图7F所示,在TFT的源/漏区形成各接触孔,并且淀积氮化钛和铝的多层膜。把它构图形成布线/电极330到334。氮化钛和铝的厚度分别为800Å和5000Å。最后在1atm的氢气气氛中在350°C退火30分,就制成了TFT电路。

如果利用上述实施例所示的方法,制造有源矩阵液晶显示器,外围电路部分的TFT由晶体硅膜构成,其中的晶体在平行于载流子流(载流子移动方向)的方向进行生长,像素部分的TFT由垂直于载流子流(载流子移动方向)方向形成的结晶硅构成。结果,在外围电路部分获得进行高速工作的TFT,在像素部分获得具有保持电荷所要求的小截止电流的TFT。于是在半导体电路中,要求其在同一衬底形成有不同特性的TFT,通过仅仅改变TFT的设置方向等,就

能同时形成满足各自要求特性的TFT。 这样可能从整体上改善电路的特性。

图 1A

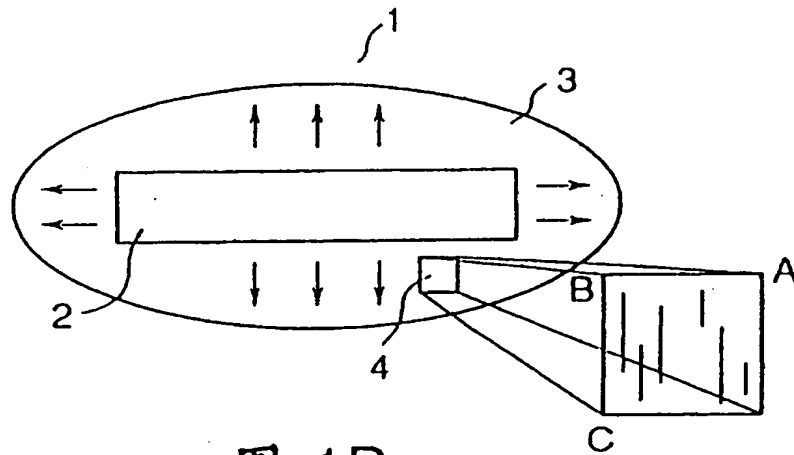


图 1B

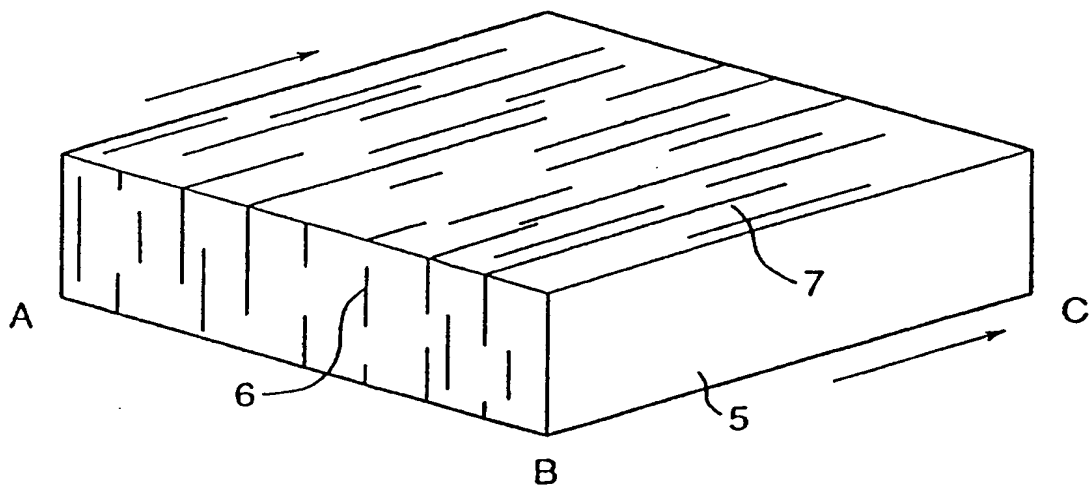


图 1C

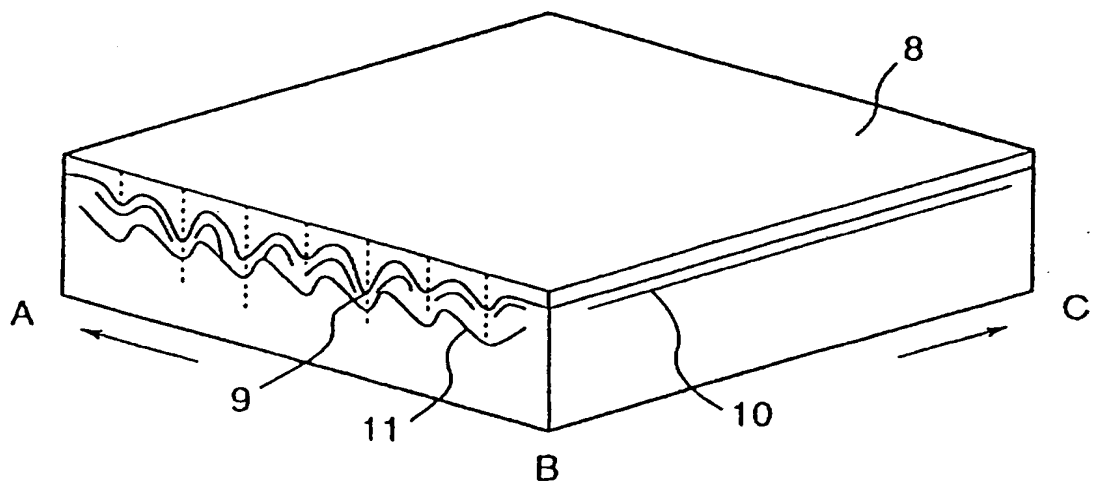


图 2

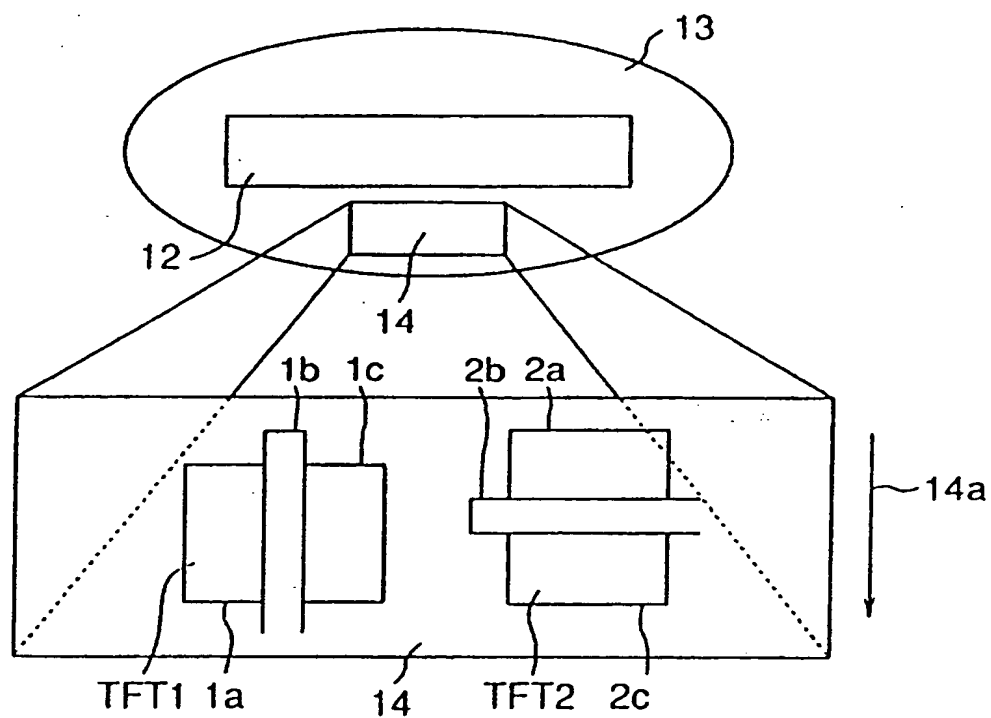


图 3

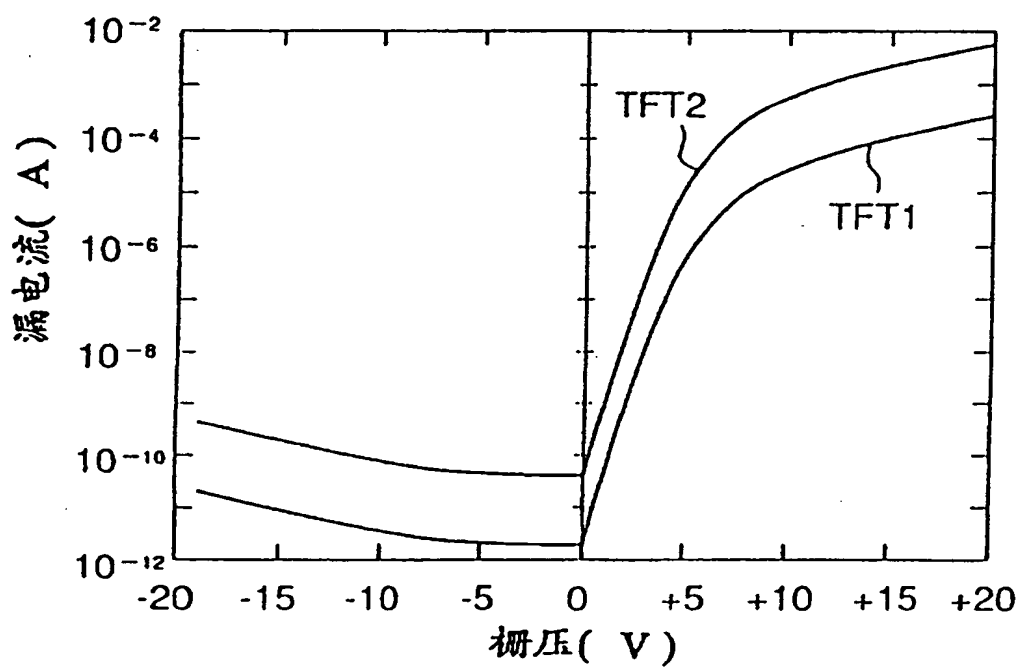


图 4A

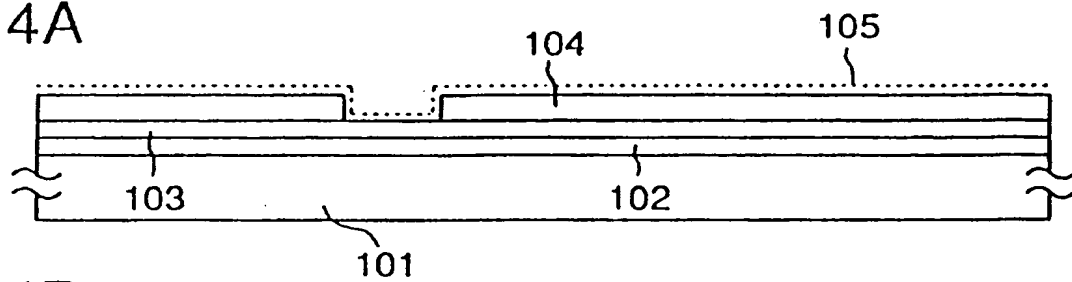


图 4B

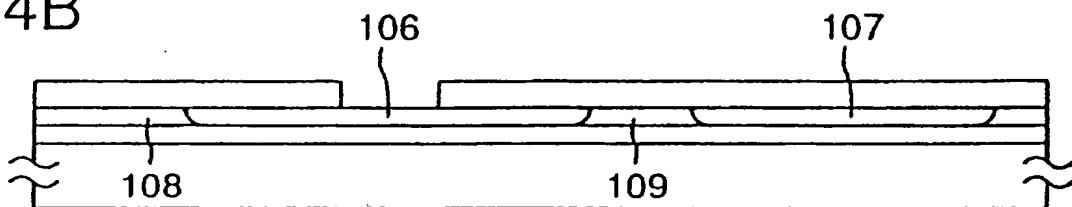


图 4C 可见光 / 近红外光

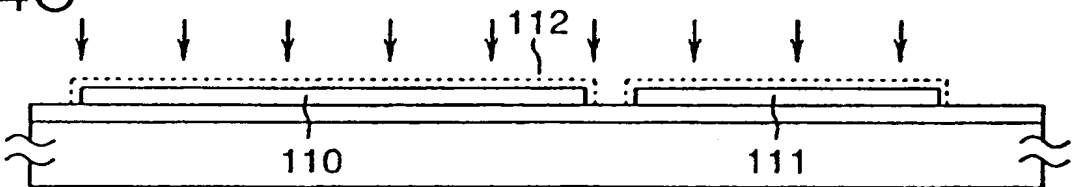


图 4D

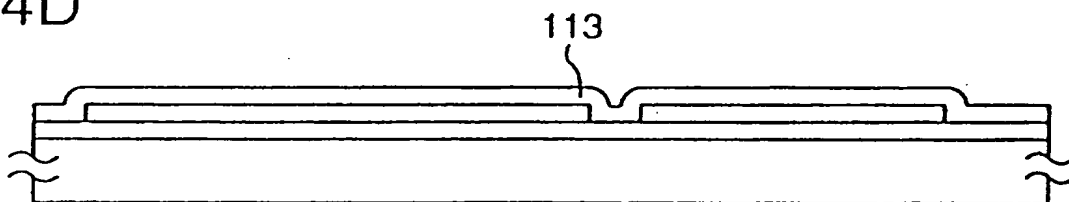


图 4E

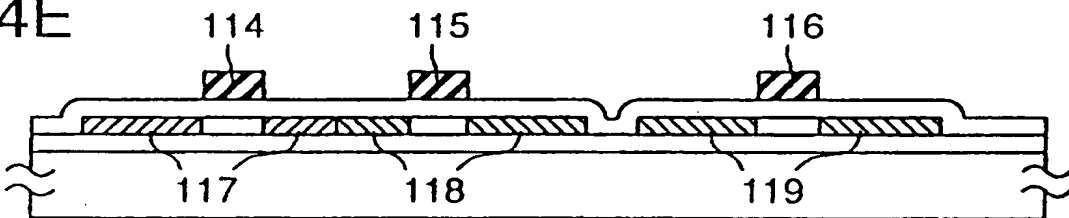


图 4F

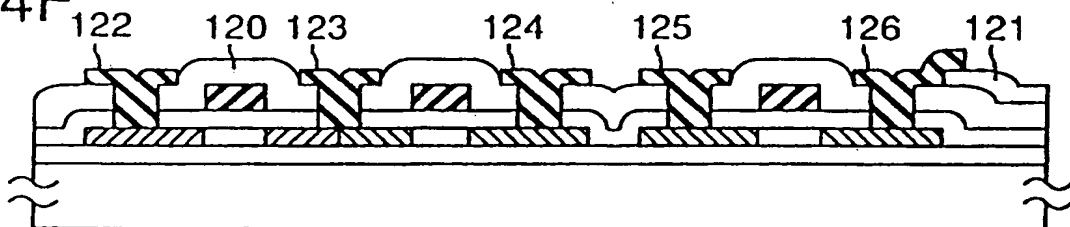


图 5A

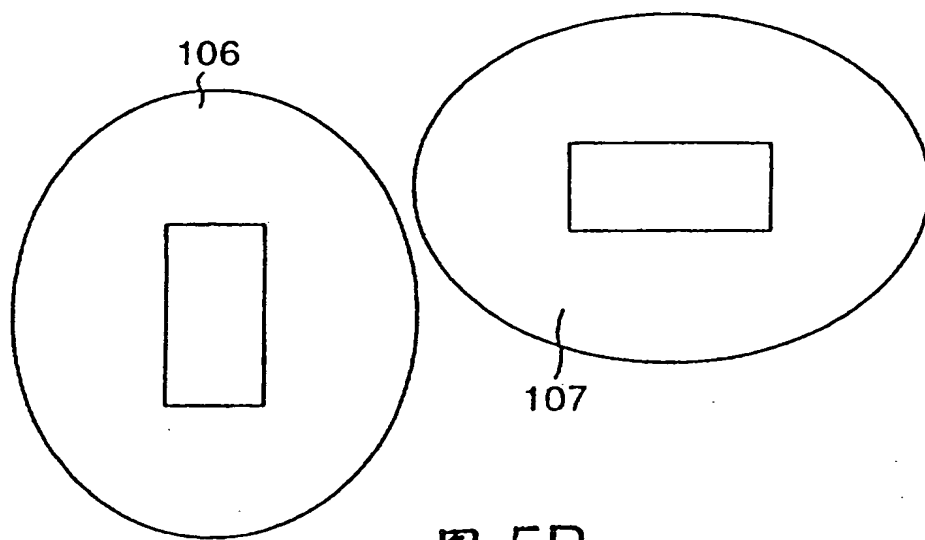


图 5B

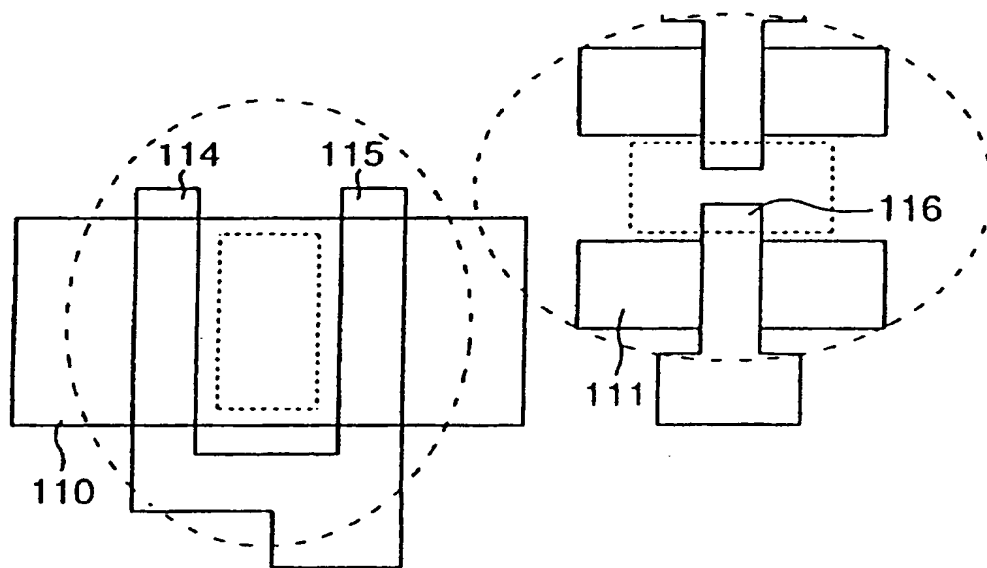


图 5C

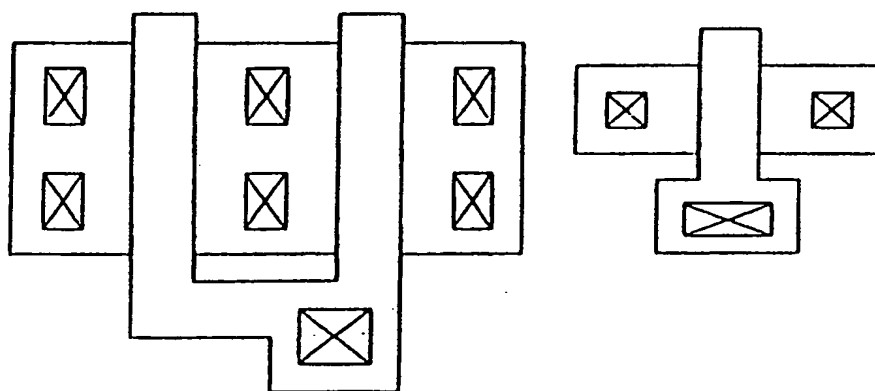


图 6A

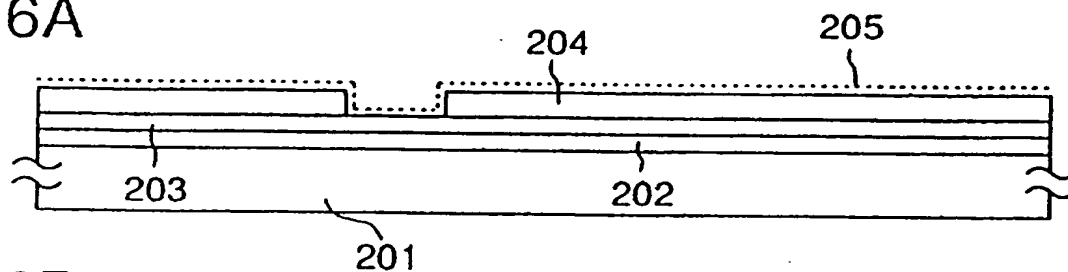


图 6B

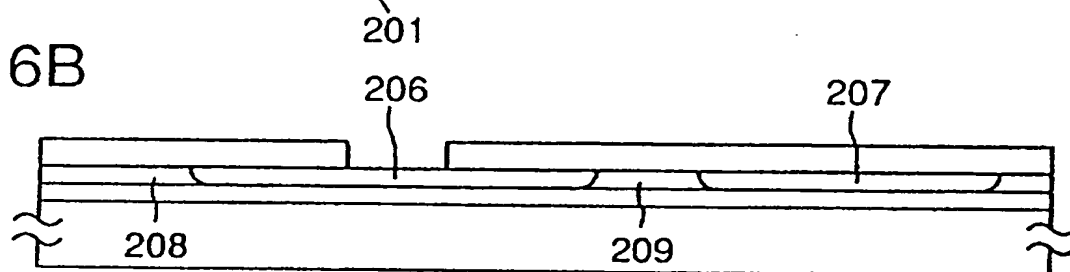


图 6C

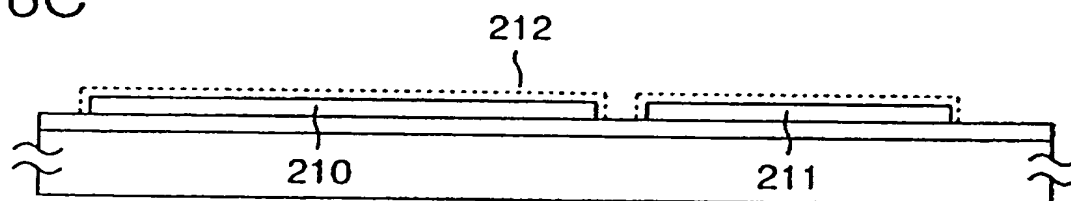


图 6D

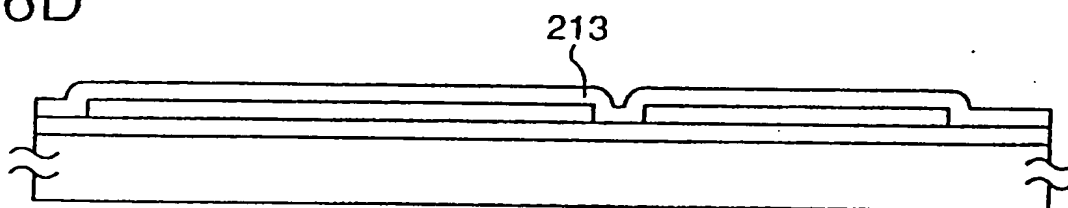


图 6E

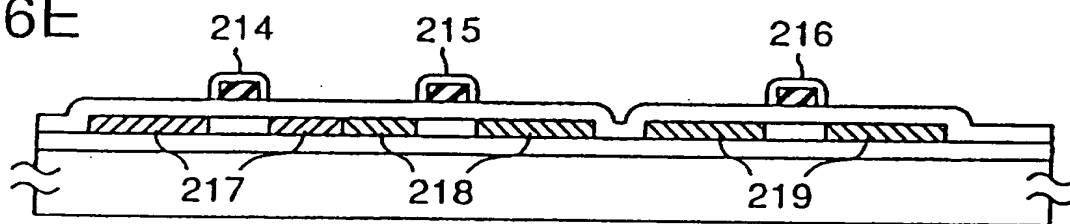


图 6F

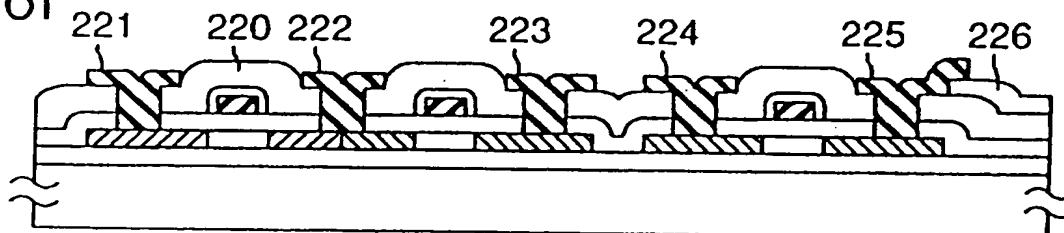


图 7A

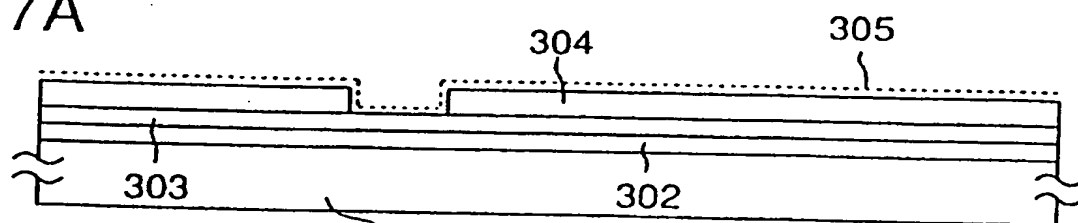


图 7B

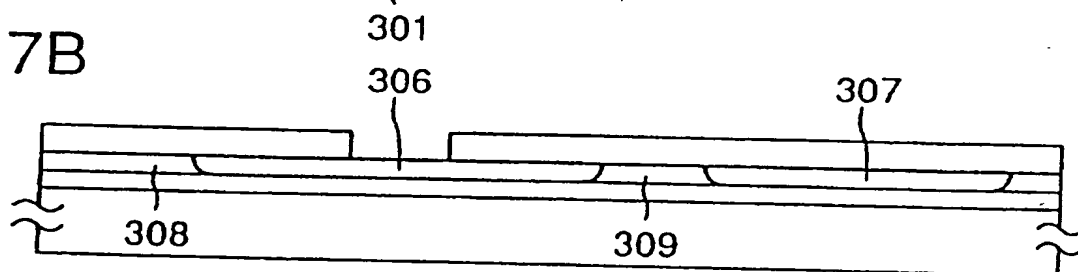


图 7C

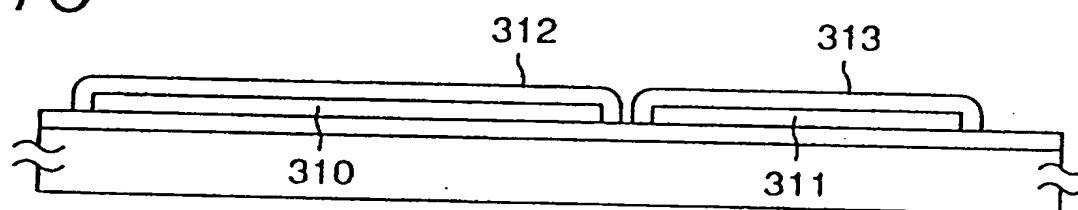


图 7D

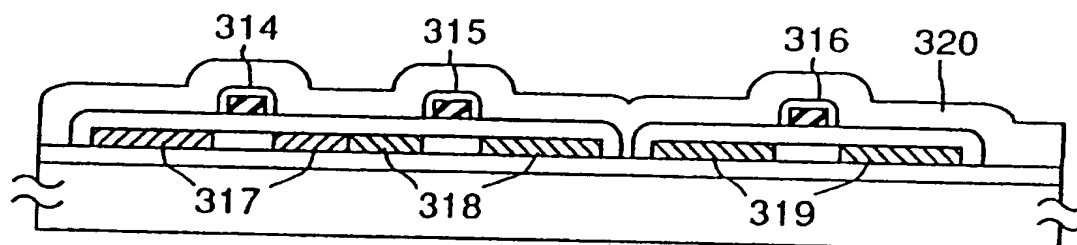


图 7E

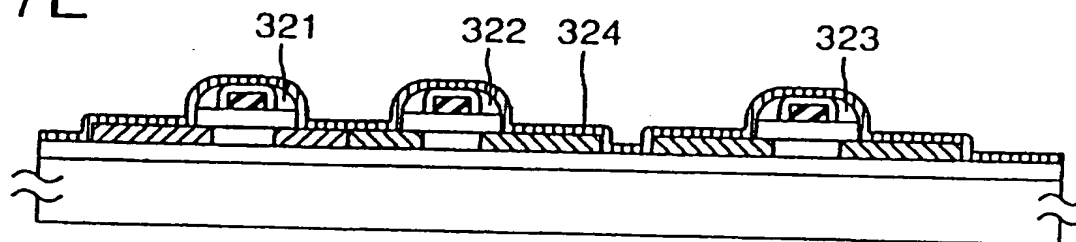


图 7F

